



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 2月 6日

出願番号

Application Number:

特願2002-029299

[ST.10/C]:

[JP2002-029299]

出願人

Applicant(s):

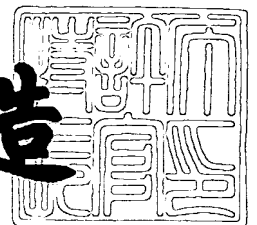
キヤノン株式会社

RECEIVED
OCT - 2 2002
TECHNOLOGY CENTER 2800

2002年 4月 5日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3024542

【書類名】 特許願

【整理番号】 4625020

【提出日】 平成14年 2月 6日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/12
H01L 21/02
H01L 21/20

【発明の名称】 半導体膜及びその製造方法

【請求項の数】 44

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
 内

 【氏名】 岩▲崎▼ 由希子

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
 内

 【氏名】 庄司 辰美

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
 内

 【氏名】 西田 彰志

【特許出願人】

 【識別番号】 000001007

 【住所又は居所】 東京都大田区下丸子3丁目30番2号

 【氏名又は名称】 キャノン株式会社

 【代表者】 御手洗 富士夫

 【電話番号】 03-3758-2111

【代理人】

 【識別番号】 100090538

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
内

【弁理士】

【氏名又は名称】 西山 恵三

【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100096965

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会
社内

【弁理士】

【氏名又は名称】 内尾 裕一

【電話番号】 03-3758-2111

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 76284

【出願日】 平成13年 3月16日

【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908388

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体膜及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基体、半導体層及びこれらの間に設けられた分離層から成る第 1 の部材を用意する工程と、前記半導体基体の比抵抗値よりも高い比抵抗値を有する第 2 の部材を前記第 1 の部材の半導体層側に貼り合わせる、又は吸着させる工程と、前記半導体基体を誘導加熱により加熱して、分離層において半導体層を半導体基体から分離する工程とから成る半導体膜の製造方法。

【請求項 2】 前記第 2 の部材は、誘導加熱によってほとんど加熱されない材料から成る請求項 1 記載の半導体膜の製造方法。

【請求項 3】 前記第 1 の部材を用意する工程は、非多孔質シリコン基体の表面を陽極化成して分離層としての多孔質シリコン層を形成する工程と、該多孔質シリコン層上に非多孔質シリコン層をエピタキシャル成長させる工程とから成る請求項 1 又は 2 記載の半導体膜の製造方法。

【請求項 4】 前記第 1 の部材を用意する工程は、シリコン基体の表面から所定の深さに、水素、窒素及びヘリウムから選択される少なくとも 1 種のイオンを打ち込み、表面にイオンが注入されていないシリコン層を残して、分離層としてのイオン注入層を形成する工程から成る請求項 1 又は 2 記載の半導体膜の製造方法。

【請求項 5】 更に、前記半導体基体を誘導加熱により加熱する工程に先立って、前記分離層に切り込み溝を形成する工程から成る請求項 1 乃至 4 のいずれか一項に記載の半導体膜の製造方法。

【請求項 6】 前記半導体基体を誘導加熱により加熱する工程において、同時に分離層に引っ張り力、圧縮力、せん断力を加える請求項 1 乃至 5 のいずれか一項に記載の半導体膜の製造方法。

【請求項 7】 前記半導体基体を誘導加熱により加熱する工程において、同時に分離層に流体による圧力、又は静圧を加える請求項 1 乃至 5 のいずれか一項に記載の半導体膜の製造方法。

【請求項 8】 前記半導体基体を誘導加熱により加熱する工程において、同

時に第2の部材を冷却する請求項1乃至7のいずれか一項に記載の半導体膜の製造方法。

【請求項9】 更に、前記半導体層を分離した後、半導体層に残った分離層の残滓をエッチングによって除去する工程から成る請求項1乃至8のいずれか一項に記載の半導体膜の製造方法。

【請求項10】 更に、前記半導体層を分離した後、残った半導体基体を別の第1の部材を用意するために再利用する工程から成る請求項1乃至9のいずれか一項に記載の半導体膜の製造方法。

【請求項11】 更に、前記半導体基体を再利用する前に、半導体基体に残った分離層の残滓をエッチングによって除去する工程から成る請求項10記載の半導体膜の製造方法。

【請求項12】 半導体基体、該半導体基体の比抵抗値よりも高い比抵抗値を有する半導体層及びこれらの間に設けられた分離層とから成る第1の部材を用意する工程と、前記第1の部材を誘導加熱により加熱して、分離層において半導体層を半導体基体から分離する工程とから成る半導体膜の製造方法。

【請求項13】 更に、前記第1の部材を誘導加熱によって加熱する前に、前記第1の部材の半導体層側に、第1の部材の比抵抗値よりも高い比抵抗値を有する第2の部材を貼り合わせる、又は吸着させる工程から成る請求項12記載の半導体膜の製造方法。

【請求項14】 更に、前記第1の部材を誘導加熱によって加熱する前に、前記第1の部材の半導体層側に、誘導加熱によってほとんど加熱されない第2の部材を貼り合わせる、又は吸着させる工程から成る請求項12記載の半導体膜の製造方法。

【請求項15】 前記半導体層の比抵抗値は、半導体基体の比抵抗値の10倍以上である請求項12乃至14のいずれか一項に記載の半導体膜の製造方法。

【請求項16】 前記半導体層の比抵抗値は $1\Omega\cdot\text{cm}$ 以上であり、且つ前記半導体基体の比抵抗値は $0.1\Omega\cdot\text{cm}$ 以下である請求項12乃至15のいずれか一項に記載の半導体膜の製造方法。

【請求項17】 前記第1の部材を用意する工程は、 p^+ 型非多孔質シリコ

ン基体の表面を陽極化成して分離層としての多孔質シリコン層を形成する工程と、該多孔質シリコン層上に p^- 型非多孔質シリコン層をエピタキシャル成長させる工程とから成る請求項12乃至16のいずれか一項に記載の半導体膜の製造方法。

【請求項18】 前記第1の部材を用意する工程は、 p^+ 型シリコン基体上に p^- 型シリコン層をエピタキシャル成長させる工程と、該 p^- シリコン層の表面から所定の深さに、水素、窒素及びヘリウムから選択される少なくとも1種のイオンを打ち込み、表面にイオンが注入されていない p^- 型シリコン層を残して、分離層としてのイオン注入層を形成する工程から成る請求項12乃至16のいずれか一項に記載の半導体膜の製造方法。

【請求項19】 更に、前記第1の部材を誘導加熱により加熱する工程に先立って、前記分離層に切り込み溝を形成する工程から成る請求項12乃至18のいずれか一項に記載の半導体膜の製造方法。

【請求項20】 前記第1の部材を誘導加熱により加熱する工程において、同時に分離層に引っ張り力、圧縮力、せん断力を加える請求項12乃至19のいずれか一項に記載の半導体膜の製造方法。

【請求項21】 前記第1の部材を誘導加熱により加熱する工程において、同時に分離層に流体による圧力、又は静圧を加える請求項12乃至19のいずれか一項に記載の半導体膜の製造方法。

【請求項22】 更に、前記半導体層を分離した後、半導体層に残った分離層の残滓をエッチングによって除去する工程から成る請求項12乃至21のいずれか一項に記載の半導体膜の製造方法。

【請求項23】 更に、前記半導体層を分離した後、残った半導体基体を別の第1の部材を用意するために再利用する工程から成る請求項12乃至22のいずれか一項に記載の半導体膜の製造方法。

【請求項24】 更に、前記半導体基体を再利用する前に、半導体基体に残った分離層の残滓をエッチングによって除去する工程から成る請求項23記載の半導体膜の製造方法。

【請求項25】 請求項1乃至24のいずれか一項に記載の方法で製造され

た半導体膜。

【請求項26】 p^+ 型非多孔質シリコン基体の表面を陽極化成して、多孔質シリコン層を形成する工程と、前記多孔質シリコン層上に p^- 型非多孔質シリコン層及び n^+ 型非多孔質シリコン層を順次エピタキシャル成長させる工程と、前記 n^+ 型非多孔質シリコン層に、誘導加熱によってほとんど加熱されない吸着台を吸着させる工程と、前記 p^+ 型非多孔質シリコン基体を誘導加熱により加熱して、多孔質シリコン層において p^- 型及び n^+ 型非多孔質シリコン層を p^+ 型非多孔質シリコン基体から分離する工程と、分離された p^- 型及び n^+ 型非多孔質シリコン層半導体層に電極を形成する工程とから成る太陽電池の製造方法。

【請求項27】 前記 p^+ 型非多孔質シリコン基体を誘導加熱により加熱する工程において、同時に吸着台を冷却する請求項26記載の太陽電池の製造方法。

【請求項28】 更に、前記 p^- 型及び n^+ 型非多孔質シリコン層を p^+ 型非多孔質シリコン基体から分離した後、電極を形成する前に、 p^- 型非多孔質シリコン層に残った多孔質シリコン層の残滓を除去する工程から成る請求項26又は27記載の太陽電池の製造方法。

【請求項29】 前記電極を形成する工程は、 p^- 型非多孔質シリコン層の表面をアルミニウム板に熱溶着させると同時に、 p^- 型非多孔質シリコン層内にアルミニウムを拡散させて p^+ 型非多孔質シリコン層を形成する工程と、 n^+ 型非多孔質シリコン層の表面に集電電極を形成する工程とから成る請求項26乃至28のいずれか一項に記載の太陽電池の製造方法。

【請求項30】 更に、前記集電電極が形成された n^+ 型非多孔質シリコン層上に反射防止層を形成する工程から成る請求項29記載の太陽電池の製造方法。

【請求項31】 前記 p^- 型及び n^+ 型非多孔質シリコン層は、液相成長法によって形成される請求項26乃至30のいずれか一項に記載の太陽電池の製造方法。

【請求項32】 更に、前記 p^- 型及び n^+ 型非多孔質シリコン層を分離した後、残った p^+ 型非多孔質シリコン基体を別の太陽電池を製造するために再利

用する工程から成る請求項 2 6 乃至 3 1 のいずれか一項に記載の太陽電池の製造方法。

【請求項 3 3】 更に、前記 p^+ 型非多孔質シリコン基体を再利用する前に、 p^+ 型非多孔質シリコン基体に残った多孔質シリコン層の残滓を除去する工程から成る請求項 3 2 記載の太陽電池の製造方法。

【請求項 3 4】 請求項 2 6 乃至 3 3 のいずれか一項に記載の方法で製造された太陽電池。

【請求項 3 5】 p^+ 型非多孔質シリコン基体の表面を陽極化成して、多孔質シリコン層を形成する工程と、前記多孔質シリコン層上に p^- 型非多孔質型シリコン層をエピタキシャル成長させる工程と、前記 p^- 型非多孔質型シリコン層の表面に酸化シリコン層を形成する工程と、前記酸化シリコン層の表面に別の非多孔質シリコン基体を貼り合わせ、多層構造体を形成する工程と、前記多層構造体を誘導加熱により加熱して、多孔質シリコン層において p^- 型非多孔質シリコン層半導体層を p^+ 型非多孔質シリコン基体から分離する工程とから成る S O I 基板の製造方法。

【請求項 3 6】 更に、前記多層構造体を誘導加熱によって加熱する前に、多層構造体に誘導加熱によってほとんど加熱されない吸着台を吸着させる工程から成る請求項 3 5 記載の S O I 基板の製造方法。

【請求項 3 7】 前記多層構造体を誘導加熱により加熱する工程において、同時に吸着台を冷却する請求項 3 6 記載の S O I 基板の製造方法。

【請求項 3 8】 更に、前記 p^- 型非多孔質シリコン層を p^+ 型非多孔質シリコン基体から分離した後、 p^- 型非多孔質シリコン層に残った多孔質シリコン層の残滓をエッチングによって除去する工程から成る請求項 3 5 乃至 3 7 のいずれか一項に記載の S O I 基板の製造方法。

【請求項 3 9】 更に、前記多孔質シリコン層の残滓を除去した後、還元性ガス雰囲気中でアニール処理して、前記 p^- 型非多孔質シリコン層の表面を平滑化する工程から成る請求項 3 8 記載の S O I 基板の製造方法。

【請求項 4 0】 更に、前記多孔質シリコン層上に p^- 型非多孔質型シリコン層をエピタキシャル成長させる前に、多孔質シリコン層の内壁を熱酸化する工

程と、水素雰囲気中で熱処理して多孔質シリコン層の表面を平滑化する工程とから成る請求項 3 5 乃至 3 9 のいずれか一項に記載の S O I 基板の製造方法。

【請求項 4 1】 前記 p^- 型非多孔質シリコン層は、化学気相成長 (CVD) 法によって形成される請求項 3 5 乃至 4 0 のいずれか一項に記載の S O I 基板の製造方法。

【請求項 4 2】 更に、前記 p^- 型非多孔質シリコン層を分離した後、残った p^+ 型非多孔質シリコン基体を別の S O I 基板を製造するために再利用する工程から成る請求項 3 5 乃至 4 1 のいずれか一項に記載の S O I 基板の製造方法。

【請求項 4 3】 更に、前記 p^+ 型非多孔質シリコン基体を再利用する前に、 p^+ 型非多孔質シリコン基体に残った多孔質シリコン層の残滓をエッチングによって除去する工程から成る請求項 4 2 記載の S O I 基板の製造方法。

【請求項 4 4】 請求項 3 5 乃至 4 3 のいずれか一項に記載の方法で製造された S O I 基板。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体膜及びその製造方法に関し、特に太陽電池やシリコン・オン・インシュレータ (S O I) 基板に用いるのに適した半導体膜及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

近年、半導体デバイスの処理速度を向上させ、かつ省電力化を可能にする技術として、シリコン・オン・インシュレータ (S O I) 基板を製造する技術が注目されている。S O I 基板は、厚さが数十 nm から数 μ m 程度の半導体膜、例えば単結晶シリコン膜を絶縁層上に形成したものである。また、このような薄い半導体膜を用いて太陽電池を安価に製造する方法も提案されている。

【0 0 0 3】

特開平 7 - 3 0 2 8 8 9 号公報には、上記のような S O I 基板の製造方法の一例が記載されている。この方法は、まず非多孔質単結晶シリコンから成る第 1 の

基板（ウエハ）を用意し、この第 1 の基板の表面を陽極化成して多孔質シリコン層を形成する。そして、この多孔質シリコン層上に非多孔質単結晶シリコン層をエピタキシャル成長させる。続いて、非多孔質単結晶シリコン層の表面を酸化して酸化シリコンから成る絶縁層を形成する。次に、この絶縁層の表面に第 2 の基板を貼り合わせて多層構造体を形成する。その後、この多層構造体に引っ張り力等の外力を加え、多孔質シリコン層において非多孔質単結晶シリコン層を第 1 の基板から分離し、第 2 の基板上に絶縁層を介して非多孔質単結晶シリコン層を転写することによって S O I 基板を製造する。

【 0 0 0 4 】

また、特開平 1 0 - 2 0 0 0 7 9 号公報には、S O I 基板を製造する他の方法が記載されている。この方法においては、多層構造体を形成するまでは上記の方法と同様であるが、非多孔質単結晶シリコン層にのみ電流を流して加熱し、多孔質シリコン層に急激な熱応力を加えることによって非多孔質単結晶シリコン層を第 1 の基板から分離するものである。

【 0 0 0 5 】

【発明が解決しようとする課題】

本発明は、上記従来の方法を更に改良し、より簡単に、効率良く半導体膜を製造する方法を提供するものである。

【 0 0 0 6 】

【課題を解決するための手段】

本発明の半導体膜の製造方法は、半導体基体、半導体層及びこれらの間に設けられた分離層とから成る第 1 の部材を用意する工程と、誘導加熱によってほとんど加熱されない第 2 の部材を前記第 1 の部材の半導体層側に貼り合わせる、又は吸着させる工程と、及び半導体基体を誘導加熱により加熱して、分離層において半導体層を半導体基体から分離する工程とから成る。ここで、第 2 の部材としては、例えば半導体基体の比抵抗値よりも高い比抵抗値を有するものが用いられる。

【 0 0 0 7 】

また、本発明に係わる半導体膜の他の製造方法は、半導体基体、該半導体基体

の比抵抗値よりも高い比抵抗値を有する半導体層及びこれらの間に設けられた分離層とから成る第1の部材を用意する工程と、第1の部材を誘導加熱により加熱して、分離層において半導体層を半導体基体から分離する工程とから成る。ここで、半導体層の比抵抗値は、半導体基体の比抵抗値の10倍以上であることが望ましい。また、半導体層の比抵抗値は $1\ \Omega \cdot \text{cm}$ 以上であり、且つ半導体基体の比抵抗値は $0.1\ \Omega \cdot \text{cm}$ 以下であることが望ましい。

【0008】

本発明において、第1の部材は、例えば非多孔質シリコン基体の表面を陽極化成して分離層としての多孔質シリコン層を形成する工程と、該多孔質シリコン層上に非多孔質シリコン層をエピタキシャル成長させる工程とによって用意される。また、本発明において、第1の部材は、シリコン基体の表面から所定の深さに、水素、窒素及びヘリウムから選択される少なくとも1種のイオンを打ち込み、表面にイオンが注入されていないシリコン層を残して、分離層としてのイオン注入層を形成する工程によって用意されても良い。この方法においては、イオンを打ち込む前に、シリコン基体の表面に保護膜を形成しておいても良い。

【0009】

本発明において、半導体基体を誘導加熱により加熱する工程は、例えば第1の部材を、コイルが巻線された誘導加熱台上に載置し、コイルに高周波電流を印加して半導体基体に電流を流すことによって行われる。半導体基体を誘導加熱により加熱する前に、予め分離層に切り込み溝を形成しておいても良い。また、誘導加熱と同時に、分離層に引っ張り力、圧縮力、せん断力を加えても良い。また、誘導加熱と同時に、分離層に流体による圧力、又は静圧を加えても良い。更に、第1の部材を第2の部材と貼り合わせた、または吸着させた場合には、誘導加熱と同時に、第2の部材を冷却しても良い。

【0010】

半導体基体から分離された半導体層からは、必要に応じて残った分離層の残滓がエッチングによって除去される。一方、半導体層を分離した後の半導体基体は、別の第1の部材を用意するために再利用することができる。この際、必要に応じて半導体基体に残った分離層の残滓をエッチングによって除去しても良い。

【 0 0 1 1 】

【発明の実施の形態】

（第 1 実施形態）

図 1 は、本発明に係わる半導体膜の製造方法の第 1 実施形態を示す概略断面図である。半導体膜を製造するには、まず図 1（a）に示すように、半導体基体として非多孔質単結晶シリコン基体 1 0 1 を用意する。このようなシリコン基体 1 0 1 としては、誘導加熱によって加熱され得る低抵抗材料、例えば p^+ 型シリコンや n^+ 型シリコンから成るものを用いるのが望ましい。

【 0 0 1 2 】

次に、図 1（b）に示すように、非多孔質単結晶シリコン基体 1 0 1 を陽極化成して、表面に多孔質シリコン層 1 0 2 を形成する。この多孔質シリコン層 1 0 2 は、分離層として機能するものである。陽極化成の化成液としては、フッ化水素（HF）溶液または、これにアルコールを混合した溶液を用いることができる。この時、陽極化成の途中で化成液や電流密度を変化させることで、多孔質シリコン層 1 0 2 を、互いに多孔度の異なる複数の層が厚さ方向に積層された多層構造を有するように形成しても良い。このように、一部に多孔度の高い層を設けておくと、後述する分離工程において、分離を容易にしたり、分離する箇所をコントロールすることができる。

【 0 0 1 3 】

続いて、図 1（c）に示すように、多孔質シリコン層 1 0 2 上に、非多孔質単結晶シリコン層 1 0 3 をエピタキシャル成長させる。非多孔質単結晶シリコン層 1 0 3 の成長には、化学気相成長（CVD）法や、液相成長法等を用いることができる。非多孔質単結晶シリコン層 1 0 3 としては、シリコン基体 1 0 1 よりも比抵抗値の高い p^- 型シリコンから成るものが望ましい。また、非多孔質単結晶シリコン層 1 0 3 を導電型又は組成の異なる複数の層から構成しても良い。このように、シリコン基体 1 0 1 上に多孔質シリコン層 1 0 2 を挟んで非多孔質単結晶シリコン層 1 0 3 が形成されたものが第 1 の部材 1 0 4 となる。

【 0 0 1 4 】

上記のように、非多孔質単結晶シリコン層 1 0 3 を成長させる前に、多孔質シ

リコン層 1 0 2 の孔の内壁に酸化膜を形成した後、水素を含む還元性雰囲気中でアニーリングしても良い。このようなアニーリングによって多孔質シリコン層 1 0 2 の表面のシリコン原子が移動し、孔を小さくするように働く。このため、多孔質シリコン層 1 0 2 上に成長する非多孔質単結晶シリコン層 1 0 3 の欠陥を少なくすることができる。ここで、予め孔の内壁に酸化膜を形成しておくのは、孔の内部においてシリコン原子が移動し、孔を塞いでしまうのを防ぎ、後述するように、多孔質シリコン層 1 0 2 の残滓をエッチングによって除去する場合に、より除去し易いようにするためである。

【 0 0 1 5 】

上記のように、多孔質シリコン層 1 0 2 の孔の内壁にのみ酸化膜を形成する方法としては、例えば酸素雰囲気中で熱処理して、孔の内壁及び多孔質シリコン層 1 0 2 の表面の両方に酸化膜を形成する方法を用いることができる。この後、多孔質シリコン層 1 0 2 の表面をフッ化水素 (H F) 溶液で処理すると、内壁の酸化膜を残して、表面の酸化膜のみを除去することができる。

【 0 0 1 6 】

次に、図 1 (d) に示すように、第 1 の部材 1 0 4 の非多孔質単結晶シリコン層 1 0 3 の表面を吸着台 1 0 5 に吸着させた後、これらを誘導加熱台 1 0 6 上に載置する。誘導加熱台 1 0 6 には、加熱コイル 1 0 7 が巻きつけられている。そして、この加熱コイル 1 0 7 には、交流電源 1 0 8 から高周波電流が流れるように構成されている。吸着台 1 0 5 は、誘導加熱によってほとんど加熱されない材料、言い換えると誘導加熱によって実質的に加熱されない材料から形成されている。このような材料としては、アルミナ、ホトベール (住金セラミックス株式会社の登録商標)、マコール (コーニング株式会社の登録商標) 等の高抵抗材料を好適に用いることができる。つまり、吸着台 1 0 5 が第 2 の部材を構成する。本実施形態では、シリコン基体 1 0 1 側を誘導加熱台 1 0 5 側に向けて配置しているが、吸着台 1 0 5 側を誘導加熱台 1 0 6 に向けて配置しても構わない。

【 0 0 1 7 】

吸着台 1 0 5 は、誘導加熱された場合に、シリコン基体 1 0 1 との間に温度差を生じさせるためのものである。したがって、吸着台 1 0 5 は、シリコン基体 1

01の比抵抗値よりも高い比抵抗値を有している。また、吸着台105の内部にパイプを通し、このパイプに水、冷却された窒素ガス、ヘリウムガス等を流す、つまり吸着台105に冷却機構を設けて、シリコン基体101との温度差がより大きくなるようにしても良い。

【0018】

第2の部材としては、このような吸着台105ではなく、非多孔質単結晶シリコン層103の表面に貼り合わされるようなものを用いても良い。例えば、SOI基板の製造においては、シリコン基体101から分離する前にシリコン層103を支持基板に貼り合わせるが、この場合には、支持基板が第2の部材として機能する。このような支持基板としては、チョクラルスキー（Czochralski、以下CZと記す）法によって製造された単結晶シリコン基板、フローティング・ゾーン（Floating Zone、以下FZと記す）法によって製造された単結晶シリコン基板、水素アニールされた単結晶シリコン基板、或いは光透過性のガラス基板などを用いることができる。

【0019】

上記のように支持基板を第2の部材として用いる場合、支持基板の比抵抗値は、シリコン基体101の比抵抗値よりも高い必要がある。更には、支持基板は誘導加熱によって実質的に加熱されない、つまり誘導加熱によってほとんど加熱されない材料から成ることが望ましい。支持基板の比抵抗値は、 $1\ \Omega \cdot \text{cm}$ 以上、好ましくは $10\ \Omega \cdot \text{cm}$ 以上、より好ましくは $100\ \Omega \cdot \text{cm}$ 以上であることが望ましい。

【0020】

また、支持基板としてシリコン基板を用いる場合には、非多孔質単結晶シリコン層103との間に絶縁層を挟んで貼り合わせても良い。この際、絶縁層は、非多孔質単結晶シリコン層103の表面に形成しても良いし、非多孔質単結晶シリコン層103の表面及びシリコン基板の表面の両方に形成されても良い。このような絶縁層としては、例えば非多孔質単結晶シリコン層103の表面やシリコン基板の表面を熱酸化することによって形成される酸化シリコン層が用いられる。

【0021】

次に、図1(e)のように、誘導加熱台106に巻きつけられた加熱コイル107に交流電源108から高周波電流を流し、誘導加熱によってシリコン基体101を加熱する。この時、吸着台105はほとんど加熱されないで、シリコン基体101と吸着台105との間に温度差がつく。そして、多孔質シリコン層102は、その多孔度にもよるが、通常、シリコン基体101に比べて熱伝導率が低いので、多孔質シリコン層102、即ち分離層を境にして温度分布が生じることになる。この温度差により、多孔質シリコン層102に熱応力が加わり、多孔質シリコン層102に亀裂が生じて、非多孔質単結晶シリコン層103がシリコン基体101から分離される。つまり、非多孔質単結晶シリコン層103は、多孔質シリコン層102においてシリコン基体101から分離される。このような分離を行うためには、上述した温度差は500℃以上であることが望ましい。

【0022】

図1(e)に示す誘導加熱に先立って、多孔質シリコン層102の側面に切り込み溝を設けておいても良い。また、誘導加熱と同時に、分離補助手段として、多孔質シリコン層102に引っ張り力、圧縮力、又はせん断力を加えても良い。また、誘導加熱と同時に、多孔質シリコン層102に流体による圧力、又は静圧を加えても良い。多孔質シリコン層102は、シリコン基体101及び、非多孔質単結晶シリコン層103に比べて、構造的に脆弱であるため、このような外力を加えることによって、より分離を促進させることができる。

【0023】

分離された非多孔質単結晶シリコン層103には、図1(e)に示すように多孔質シリコン層の残滓102aが残っていることがある。この場合には、必要に応じて、この残滓102aをエッチングによって除去しても良い。また、非多孔質単結晶シリコン層103が分離され、残ったシリコン基体101にも多孔質シリコン層の残滓102bが残っていることがある。このような残滓102bも、必要に応じてエッチングによって除去することができる。

【0024】

このようにして、図1(f)に示す非多孔質単結晶シリコン層103と、シリコン基体101が得られる。非多孔質単結晶シリコン層103は、例えば太陽電

池のような半導体デバイスを製造するのに用いられる。一方、シリコン基体101は、別の第1の部材を用意するために再利用することができる。つまり、図1(f)に示すシリコン基体101を用いて、再び図1の(a)～(e)のプロセスを行って非多孔質単結晶シリコン層103を製造することができる。

【0025】

ここで、誘導加熱の原理について簡単に説明をしておく。加熱コイルと呼ばれる導体（主に銅）パイプでできた巻線の内側に金属、あるいは低抵抗材料よりなる被加熱物を設置する。そして、加熱コイルに高周波電流を流すと高周波磁束が発生し、被加熱物内にうず電流が流れ、ジュール熱によって温度が上昇する。これが誘導加熱と称されるものであり、急速な加熱が可能、ランニングコストが安い、局所加熱が可能である、等の特徴を持っている。

【0026】

本発明で誘導加熱を適応するに際しては、シリコン基体101を選択的に加熱することが重要なポイントである。従ってシリコン基体101の比抵抗値としては $0.1\Omega\cdot\text{cm}$ 以下、より好ましくは $0.05\Omega\cdot\text{cm}$ 以下であることが望ましい。温度差を効果的に生じさせるためには、非多孔質単結晶シリコン層103の比抵抗値は $1\Omega\cdot\text{cm}$ 以上であることが望ましい。ただし、先に説明した第1実施形態においては、非多孔質単結晶シリコン層103が誘導加熱によりほとんど加熱されない吸着台106に吸着あるいは貼り合わされているため、非多孔質単結晶シリコン層103の熱が吸着台105に逃げるので、この層103は必ずしも上記のような高い比抵抗値を有している必要はない。つまり、先に非多孔質単結晶シリコン層103としては、シリコン基体101よりも比抵抗値の高い p^- 型シリコンから成るものが望ましい、と説明したが、求められる半導体膜に応じてこの層103は、 n^- 型シリコン、 p^+ 型シリコン、 n^- 型シリコン又は n^+ 型シリコンから形成することもできる。

【0027】

（第2実施形態）

図2は、本発明に係わる半導体膜の製造方法の第2実施形態を示す概略断面図である。図2において、図1と同一の部材には同一の符号を付し、詳細な説明は

省略する。

【0028】

本実施形態においては、まず図2（a）に示すように、非多孔質単結晶シリコン基体201を用意する。次に、図2（b）に示すように、シリコン基体201の表面から所定の深さに水素、窒素、ヘリウム等の希ガスから選択される少なくとも1種類のイオン209を打ち込む。この際、イオン打ち込みに先立って、シリコン基体201の表面に、例えば酸化シリコン層等から成る保護層を形成しておくことが好ましい。

【0029】

上記のイオン打ち込みによって、図2（c）のように、表面にイオンが打ち込まれていないシリコン層203を残して、イオン注入層202を形成する。このイオン注入層202は、分離層として機能するものである。このようにして、シリコン基体201上にイオン注入層202を挟んでシリコン層203が形成されたものが第1の部材204となる。

【0030】

次に、図2（d）に示すように、第1の部材204のシリコン層203の表面を吸着台105に吸着させた後、これらを誘導加熱台106上に載置する。そして、図2（e）のように、誘導加熱台106に巻きつけられた加熱コイル107に交流電源108から高周波電流を流し、誘導加熱によってシリコン基体201を加熱する。ここで、イオン注入層202は、欠陥や歪が集中しており、400～600℃の加熱によって微小気泡層が凝集する。一方、吸着台105はほとんど加熱されないので、シリコン基体201と吸着台105との間に温度差がつく。そして、イオン注入層202、即ち分離層を境にして温度分布が生じることになる。この温度差により、イオン注入層202に熱応力が加わり、イオン注入層202に亀裂が生じて、シリコン層203がシリコン基体201から分離される。

【0031】

分離されたシリコン層203には、図2（e）に示すようにイオン注入層の残滓202aが残っていることがある。この場合には、必要に応じて、この残滓2

0 2 a をエッチングによって除去しても良い。また、シリコン層 2 0 3 が分離され、残ったシリコン基体 2 0 1 にもイオン注入層の残滓 2 0 2 b が残っていることがある。このような残滓 2 0 2 b も、必要に応じてエッチングによって除去することができる。残滓 2 0 2 a 或いは 2 0 2 b の除去には、エッチングの他にも、表面をグラインダーで研磨した後、アニーリングによって平滑化する等の方法を用いることができる。

【 0 0 3 2 】

このようにして、図 2 (f) に示すシリコン層 2 0 3 と、シリコン基体 2 0 1 が得られる。シリコン層 2 0 3 は、例えば太陽電池のような半導体デバイスを製造するのに用いられる。一方、シリコン基体 2 0 1 は、第 1 実施形態と同様に別の第 1 の部材を用意するために再利用することができる。つまり、図 2 (f) に示すシリコン基体 2 0 1 を用いて、再び図 2 の (a) ~ (e) のプロセスを行ってシリコン層 2 0 3 を製造することができる。

【 0 0 3 3 】

(第 3 実施形態)

図 3 は、本発明に係わる半導体膜の製造方法の第 3 実施形態を示す概略断面図である。本実施形態は、半導体基体と半導体層との比抵抗値の違いを利用して半導体層を半導体基体から分離するものである。図 3 において、図 1 と同一の部材には同一の符号を付し、詳細な説明は省略する。

【 0 0 3 4 】

本実施形態においては、まず図 3 (a) に示すように、半導体基体として第 1 の比抵抗値を有する非多孔質単結晶シリコン基体 3 0 1 を用意する。第 1 の比抵抗値は、誘導加熱により十分に加熱されるように、 $0.1 \Omega \cdot \text{cm}$ 以下、好ましくは $0.05 \Omega \cdot \text{cm}$ 以下であることが望ましい。このようなシリコン基体 3 0 1 としては、例えば p^+ 型シリコンや n^+ 型シリコンから成るものを用いることができる。

【 0 0 3 5 】

次に、図 3 (b) に示すように、非多孔質単結晶シリコン基体 3 0 1 を陽極化成して、表面に多孔質シリコン層 3 0 2 を形成する。この多孔質シリコン層 3 0

2は、分離層として機能するものである。

【0036】

続いて、図3(c)に示すように、多孔質シリコン層302上に、第2の比抵抗値を有する非多孔質単結晶シリコン層303をエピタキシャル成長させる。このように、シリコン基体301上に多孔質シリコン層202を挟んで非多孔質単結晶シリコン層303が形成されたものが第1の部材304となる。

【0037】

ここで、第2の比抵抗値は、第1の比抵抗値、即ちシリコン基体301の比抵抗値よりも高い。第2の比抵抗値は、第1の比抵抗値の10倍以上、より好ましくは100倍以上とするのが良い。第2の抵抗値は $1\Omega\cdot\text{cm}$ 以上とすることが望ましい。非多孔質単結晶シリコン層303は、具体的には例えばノンドープ・シリコン、 p^- 型シリコン、 n^- 型シリコンから形成される。なお、ここで、 p^+ 型シリコン、 n^+ 型シリコンとは不純物濃度で $10^{17}\text{atoms}/\text{cm}^3$ 以上のものをいう。一方、 p^- 型シリコン、 n^- 型シリコンとは不純物濃度で $10^{16}\text{atoms}/\text{cm}^3$ 以下のものをいう。通常、 p^+ 型シリコン、 n^+ 型シリコンの比抵抗値は $0.1\Omega\cdot\text{cm}$ 以下であり、 p^- 型シリコン、 n^- 型シリコンの比抵抗値は $1\Omega\cdot\text{cm}$ 以上である。

【0038】

次に、図3(d)に示すように、第1の部材304を誘導加熱台106上に載置する。本実施形態では、シリコン基体301側を誘導加熱台106側に向けて配置しているが、非多孔質単結晶シリコン層303側を誘導加熱台106に向けて配置しても構わない。

【0039】

続いて、図3(e)のように、誘導加熱台106に巻きつけられた加熱コイル107に交流電源108から高周波電流を流し、誘導加熱によってシリコン基体301を加熱する。この時、非多孔質単結晶シリコン層303はシリコン基体301よりも高い比抵抗値を有しているので、シリコン基体301が選択的に加熱される。このため、非多孔質単結晶シリコン層303とシリコン基体301との間に温度差が生じる。そして、この温度差により、多孔質シリコン層302に熱

応力が加わり、多孔質シリコン層 3 0 2 に亀裂が生じて、非多孔質単結晶シリコン層 1 0 3 がシリコン基体 1 0 1 から分離される。実施形態においても第 1 実施形態と同様に、分離補助手段として、多孔質シリコン層 3 0 2 に引っ張り力、圧縮力、又はせん断力を加えたり、流体による圧力、又は静圧を加えても良い。

【 0 0 4 0 】

分離された非多孔質単結晶シリコン層 3 0 3 には、図 3 (e) に示すように多孔質シリコン層の残滓 3 0 2 a が残っていることがある。また、非多孔質単結晶シリコン層 3 0 3 が分離され、残ったシリコン基体 3 0 1 にも多孔質シリコン層の残滓 2 0 2 b が残っていることがある。このような残滓 2 0 2 a や 2 0 2 b は、第 1 実施形態と同様に、必要に応じてエッチングによって除去することができる。

【 0 0 4 1 】

このようにして、図 3 (f) に示す非多孔質単結晶シリコン層 3 0 3 と、シリコン基体 3 0 1 が得られる。シリコン層 3 0 3 は、例えば太陽電池のような半導体デバイスを製造するのに用いられる。一方、シリコン基体 3 0 1 は、第 1 実施形態と同様に別の第 1 の部材を用意するために再利用することができる。つまり、図 3 (f) に示すシリコン基体 3 0 1 を用いて、再び図 3 の (a) ~ (e) のプロセスを行ってシリコン層 3 0 3 を製造することができる。

【 0 0 4 2 】

(第 4 実施形態)

図 4 は、本発明に係わる半導体膜の製造方法の第 4 実施形態を示す概略断面図である。図 4 において、図 1 と同一の部材には同一の符号を付し、詳細な説明は省略する。

【 0 0 4 3 】

本実施形態においては、まず図 4 (a) に示すように、第 1 の比抵抗値を有する非多孔質単結晶シリコン基体 4 0 1 を用意する。そして、このシリコン基体 4 0 1 上に、第 2 の比抵抗値を有する非多孔質単結晶シリコン層 4 0 8 をエピタキシャル成長させる。ここで、第 1 及び第 2 の比抵抗値は、第 3 実施形態と同様に設定される。シリコン基体 4 0 1 としては例えば p^+ 型シリコンから成る基体を

用いることができ、シリコン層 4 0 8 としては例えば p^- 型シリコン層を用いることができる。シリコン層 4 0 8 は、化学気相成長 (CVD) 法、或いは液相成長法によって形成される。

【0044】

次に、図 4 (b) に示すように、シリコン層 4 0 8 の表面から所定の深さに水素、窒素、ヘリウム等の希ガスから選択される少なくとも 1 種類のイオン 4 0 9 を打ち込む。ここで、イオン打ち込みの深さは、投影飛程、即ち打ち込まれたイオンの濃度分布が最も高い領域がシリコン層 4 0 8 内部あるいは、シリコン基板 4 0 1 とシリコン層 4 0 8 との界面に位置するように打ち込むことが好ましい。一方、分離後の薄膜に BSF (back surface field) 効果を生じさせる場合には、 p^+ 型或いは n^+ 型シリコン基体を用いて、シリコン基体 4 0 1 の内部にイオン濃度分布の最も高い領域が位置するようにイオンを打ち込んでも良い。また、イオン打ち込みに先立って、シリコン基体 4 0 8 の表面に、例えば酸化シリコン層等から成る保護層を形成しておくことが好ましい。

【0045】

上記のイオン打ち込みによって、図 4 (c) のように、表面にイオンが打ち込まれていないシリコン層 4 0 3 を残して、イオン注入層 4 0 2 を形成する。このイオン注入層 4 0 2 は、分離層として機能するものである。このようにして、シリコン基体 4 0 1 上にイオン注入層 4 0 2 を挟んでシリコン層 4 0 3 が形成されたものが第 1 の部材 4 0 4 となる。

【0046】

次に、図 4 (d) に示すように、第 1 の部材 4 0 4 のシリコン層を誘導加熱台 1 0 6 上に載置する。本実施形態では、シリコン基体 4 0 1 側を誘導加熱台 1 0 6 側に向けて配置しているが、シリコン層 4 0 3 側を誘導加熱台 1 0 6 に向けて配置しても構わない。

【0047】

続いて、図 4 (e) のように、誘導加熱台 1 0 6 に巻きつけられた加熱コイル 1 0 7 に交流電源 1 0 8 から高周波電流を流し、誘導加熱によってシリコン基体 4 0 1 を加熱する。ここで、イオン注入層 4 0 2 は、欠陥や歪が集中しており、

400～600℃の加熱によって微小気泡層が凝集する。一方、シリコン層403はシリコン基体401よりも比抵抗値が高いのでほとんど加熱されず、シリコン基体401とシリコン層403との間に温度差がつく。そして、イオン注入層402、即ち分離層を境にして温度分布が生じることになる。この温度差により、イオン注入層402に熱応力が加わり、イオン注入層402に亀裂が生じて、シリコン層403がシリコン基体401から分離される。

【0048】

分離されたシリコン層403及びシリコン層403が分離され、残ったシリコン基体401にイオン注入層の残滓402a及び402bが残っていることがある。このような残滓402a及び402bは、第2実施形態と同様に、エッチングあるいは表面をグラインダーで研磨した後、アニーリングによって平滑化する等の方法を用いて除去することができる。

【0049】

このようにして、図4(f)に示すシリコン層403と、シリコン基体401が得られる。シリコン層403は、例えば太陽電池のような半導体デバイスを製造するのに用いられる。一方、シリコン基体401は、第1実施形態と同様に別の第1の部材を用意するために再利用することができる。つまり、図4(f)に示すシリコン基体401を用いて、再び図4の(a)～(e)のプロセスを行ってシリコン層403を製造することができる。

【0050】

上記第3及び第4実施形態は、シリコン基体とシリコン層との比抵抗値の差を利用してシリコン層を分離するものであったが、これらの実施形態において、シリコン基体よりも比抵抗値の高い第2の部材を併用しても良い。すなわち、シリコン層303又はシリコン層403の表面に第1実施形態で説明した吸着台105を吸着させた後に、誘導加熱によってシリコン基体を加熱するようにしても良い。

【0051】

また、シリコン層303又はシリコン層403を、直接又は絶縁層を介して支持基板と貼り合わせて多層構造体を構成し、この多層構造体を誘導加熱によって

加熱するようにしても良い。この場合、支持基板が第 2 の部材として機能する。支持基板としては、第 1 実施形態において説明したようなシリコン基板又はガラス基板を用いることができる。また、絶縁層を挟んで支持基板と貼り合わせる場合、絶縁層は先に説明した方法と同様の方法で形成することができる。

【 0 0 5 2 】

以上説明した第 1 ～第 4 実施形態においては、半導体基体、半導体層としてそれぞれ非多孔質単結晶シリコン基体、非多孔質単結晶シリコン層を用いたが、分離層の形成が可能であれば、他の材料を用いてこれらを形成しても構わない。

【 0 0 5 3 】

(実施例 1)

図 3 に示す方法を用いて半導体膜を形成した。まず、図 3 (a) のように、 $0.02 \Omega \cdot \text{cm}$ の比抵抗値を有し、直径が 3 インチの p^+ 型非多孔質単結晶シリコン基体 (シリコンウエハ) 301 を用意した。このシリコン基体 301 をフッ化水素 (HF) 溶液とエタノールとを混合した溶液中に浸漬した。そして、電流密度 $7 \text{ mA} / \text{cm}^2$ の電流を 1 分間通電した後、更に電流密度 $20 \text{ mA} / \text{cm}^2$ の電流を 10 分間通電し、図 3 (b) に示す多孔質シリコン層 302 を形成した。

【 0 0 5 4 】

次いで、シリコン基体 301 を CVD 装置内に置き、装置内に水素ガスを導入して 950°C でアニーリングを行い、多孔質シリコン層 302 の表面を平坦化した。その後、CVD 装置内に原料ガスを導入し、多孔質シリコン層 302 上に、 p^- 型非多孔質単結晶シリコン層 303 をエピタキシャル成長させて、図 3 (c) に示す第 1 の部材 304 を形成した。形成したシリコン層 303 の比抵抗値を、モニターを用いて測定したところ、 $1.5 \Omega \cdot \text{cm}$ であった。

【 0 0 5 5 】

続いて、図 3 (d) のように第 1 の部材 304 を誘導加熱台 106 上に載置し、交流電源 108 から加熱コイル 107 に周波数 350 kHz 、出力 2 kW の電流を流した。すると、シリコン基体 301 は 20 秒で 500°C まで加熱された。その結果、シリコン基体 301 とシリコン層 303 との間の温度差によりせん断

応力が発生し、図3(e)に示すように、多孔質シリコン層302においてシリコン層303がシリコン基体301より分離された。

【0056】

分離されたシリコン層303を、フッ化水素(HF)溶液、過酸化水素水(H_2O_2)、エタノール及び水を混合した溶液に浸漬し、シリコン層303上に残った多孔質シリコン層の残滓302aをエッチングによって除去し、図3(f)に示す半導体膜、つまり非多孔質単結晶シリコン層303を得た。一方、シリコン基体301上に残った多孔質シリコン層の残滓302bも同様にエッチングにより除去することにより、図3(f)のような表面が平滑なシリコン基体301が得られた。このシリコン基体301は再び図3の(a)～(f)のプロセスを経てシリコン層303を製造するのに用いることができた。

【0057】

(実施例2)

図5に示す概略断面図で説明する方法を用い、太陽電池を製造した。図5において、図1と同一の部材には同一の符号を付し、詳細な説明は省略する。

【0058】

まず、図5(a)のように、 $0.01\Omega \cdot \text{cm}$ の比抵抗値を有し、直径が4インチの p^+ 型非多孔質単結晶シリコン基体(シリコンウエハ)501を用意した。このシリコン基体501をフッ化水素(HF)溶液とエタノールとを混合した溶液中に浸漬した。そして、電流密度 $8\text{mA}/\text{cm}^2$ の電流を1分間通電した後、更に電流密度 $20\text{mA}/\text{cm}^2$ の電流を10分間通電し、図5(b)に示す多孔質シリコン層502を形成した。この多孔質シリコン層502は、互いに多孔度の異なる2層の多孔質層から構成されていた。

【0059】

次いで、シリコン基体501を水素雰囲気中でアニーリングして多孔質シリコン層502の表面を平滑化した。その後、液相成長法を用いて多孔質シリコン層502上に、厚さ $50\mu\text{m}$ の p^- 型非多孔質単結晶シリコン層503及び厚さ $0.2\mu\text{m}$ の n^- 型非多孔質単結晶シリコン層505を順次エピタキシャル成長させて、図5(c)に示す第1の部材504を形成した。

【0060】

次に、図5（d）に示すように、第1の部材504のシリコン層505側をアルミナ製の吸着台105に吸着させた後、誘導加熱台106の上に載置した。吸着台105は装着されたパイプ内に冷却した窒素ガスを流す冷却機構を備えたものを用いた。

【0061】

続いて、交流電源108から加熱コイル107に周波数500kHz、出力5kWの電流を流し、シリコン基体501を選択的に加熱した。また、同時に吸着台105の冷却機構を用いてシリコン層505及び503を冷却した。すると、シリコン基体501とシリコン層505及び503との温度差は、10秒で500℃に達した。その結果、多孔質シリコン層502を境に熱膨張差で生じたずれ応力によって多孔質シリコン層502が破壊され、図5（e）に示すようにシリコン層505及び503がシリコン基体501から分離された。

【0062】

分離されたシリコン層505及び503を、フッ化水素（HF）溶液、過酸化水素水（ H_2O_2 ）、エタノール及び水を混合した溶液に浸漬し、シリコン層503上に残った多孔質シリコン層の残滓502aをエッチングによって除去し、図5（f）に示す半導体膜、つまり p^- 型シリコン層503と n^- 型シリコン層505との積層体を得た。一方、シリコン基体501上に残った多孔質シリコン層の残滓502bも同様にエッチングにより除去することにより、図5（f）のような表面が平滑なシリコン基体501が得られた。このシリコン基体501は再び図5の（a）～（g）のプロセスを経て太陽電池を製造するのに用いることができた。

【0063】

上記のようにして得られた積層体の p^- 型シリコン層503側を、図5（g）のように電極と支持基板とを兼ねたアルミニウム板506に熱溶着させると同時に、 p^- 型シリコン層503内にアルミニウムを拡散させて、 p^+ 型シリコン層507を形成した。そして、 n^- 型シリコン層505上に、集電電極508を形成した後、反射防止層509を形成することによって、図5（g）に示す薄膜太

陽電池を製造した。

【 0 0 6 4 】

本実施例においては、シリコン層 5 0 3 上の残滓 5 0 2 a を除去したが、このような処理は必要に応じて行えば良く、残滓を残したままでも太陽電池の製造が可能であれば、このような処理は行わなくても構わない。

【 0 0 6 5 】

(実施例 3)

図 6 に示す概略断面図で説明する方法を用い、シリコン・オン・インシュレータ (S O I) 基板を製造した。図 6 において、図 1 と同一の部材には同一の符号を付し、詳細な説明は省略する。

【 0 0 6 6 】

まず、図 6 (a) のように、 $0.01 \Omega \cdot \text{cm}$ の比抵抗値を有し、直径が 5 インチの p^+ 型非多孔質単結晶シリコン基体 (シリコンウエハ) 6 0 1 を用意した。このシリコン基体 6 0 1 をフッ化水素 (H F) 溶液とエタノールとを混合した溶液中に浸漬した。そして、電流密度 $7 \text{ mA} / \text{cm}^2$ の電流を 5 分間通電した後、更に電流密度 $30 \text{ mA} / \text{cm}^2$ の電流を 10 秒間通電し、図 6 (b) に示す厚さ $5 \mu \text{m}$ の多孔質シリコン層 6 0 2 を形成した。この多孔質シリコン層 6 0 2 は、互いに多孔度の異なる 2 層の多孔質層から構成されていた。

【 0 0 6 7 】

次に、多孔質シリコン層 6 0 2 が形成されたシリコン基体 6 0 1 を酸素雰囲気中で 1 時間、 400°C に加熱し、多孔質シリコン層 6 0 2 の孔の内壁及び表面に酸化シリコン膜を形成した。その後、多孔質シリコン層 6 0 2 の表面をフッ化水素 (H F) 溶液で処理して表面の酸化シリコン膜のみを除去した。

【 0 0 6 8 】

次いで、シリコン基体 6 0 1 を C V D 装置内に置き、装置内に水素ガスを導入して 950°C でアニーリングを行い、多孔質シリコン層 6 0 2 の表面を平坦化した。その後、C V D 装置内に原料ガスを導入し、多孔質シリコン層 6 0 2 上に、厚さ $0.3 \mu \text{m}$ の p 型非多孔質単結晶シリコン層 6 0 3 をエピタキシャル成長させた。形成したシリコン層 6 0 3 の比抵抗値を、モニターを用いて測定したと

ころ、 $10\ \Omega \cdot \text{cm}$ であった。その後、熱酸化によりシリコン層603の表面を酸化させ、絶縁層として厚さ $100\ \text{nm}$ の酸化シリコン層605を形成した。このようにして、図6(c)に示す第1の部材604を形成した。

【0069】

次に、酸化シリコン層605の表面に窒素(N_2)プラズマを照射して活性化した後、図6(d)のように、別に用意したシリコン基体(シリコンウエハ)606を重ね合わせて密着させた。そして、これらを 600°C で3時間、熱処理することによって、第1の部材604とシリコン基体606を貼り合わせ、積層構造体607を得た。

【0070】

次に、図6(e)に示すように、多層構造体607のシリコン基体606側を水冷機構を備えた吸着台105に吸着させた後、誘導加熱台106の上に載置した。そして、交流電源108から加熱コイル107に周波数 $700\ \text{kHz}$ 、出力 $10\ \text{kW}$ の電流を流し、シリコン基体601を選択的に加熱した。また、同時に吸着台105の冷却機構を用いてシリコン基体606を冷却した。すると、シリコン基体601とシリコン層603との温度差は、20秒で 550°C に達した。その結果、多孔質シリコン層602を境に熱膨張差で生じたずれ応力によって多孔質シリコン層602が破壊された。そして、図6(f)に示すようにシリコン層603がシリコン基体601から分離され、酸化シリコン層605を挟んでシリコン基体606上に転写された。

【0071】

次に、シリコン層603が転写されたシリコン基体606を、フッ化水素(HF)溶液、過酸化水素水(H_2O_2)、エタノール及び水を混合した溶液に浸漬し、シリコン層603上に残った多孔質シリコン層の残滓602aをエッチングによって除去した。その後、シリコン層603が転写されたシリコン基体606を、水素を含む還元性雰囲気中で 1100°C で1時間アニーリングを行い、シリコン層603の表面を平滑化した。このようにして、図6(g)に示すように、酸化シリコン層605を挟んでシリコン基体606上に単結晶シリコン層603を有するSOI基板608を製造した。

【0072】

一方、シリコン基体601上に残った多孔質シリコン層の残滓602bも同様にエッチングにより除去することにより、図6(g)のような表面が平滑なシリコン基体601が得られた。このシリコン基体601は再び図6(a)～(g)のプロセスを経てSOI基板を製造するのに用いることができた。

【0073】

(実施例4)

図7に示す概略断面図で説明する方法を用い、太陽電池を製造した。図7において、図1と同一の部材には同一の符号を付し、詳細な説明は省略する。

【0074】

まず、図7(a)のように、 $0.01\Omega\cdot\text{cm}$ の比抵抗値を有し、直径が4インチの p^+ 型非多孔質単結晶シリコン基体(シリコンウエハ)701を用意した。このシリコン基体701上に化学気相成長(CVD)法を用いて、図7(b)のように、 $2\Omega\cdot\text{cm}$ の比抵抗値を有し、 $1.2\mu\text{m}$ の厚さの非多孔質単結晶 p^- 型シリコン層703及び $0.2\mu\text{m}$ の厚さの非多孔質単結晶 n^+ 型シリコン層705を順次エピタキシャル成長させた。続いて、図7(b)のように、 n^+ 型シリコン層705側から水素イオン709を450eVのエネルギーで、密度 7.0×10^{16} 個/ cm^2 に打ち込み、図7(c)のように、 n^+ 型シリコン層705の表面から約 $2\mu\text{m}$ の深さにイオン注入層702を形成した。そして、図7(c)に示すように、下部に残ったシリコン基体701b上に、イオン注入層702、イオンが打ち込まれていないシリコン基体の表面 p^+ 層701a、 p^- 型シリコン層703及び n^+ 型シリコン層705が順次積層されて成る第1の部材704を形成した。

【0075】

次に、図7(d)に示すように、第1の部材704の n^+ 型シリコン層705側を冷却機構を備えた吸着台105に吸着させた後、誘導加熱台106の上に載置した。そして、吸着台105は装着されたパイプ内に冷却した窒素ガスを流す冷却機構を備えたものを用いた。そして、吸着台105の冷却機構を用いてシリコン層705、703及び701aを冷却すると共に、交流電源108から加熱

コイル 1 0 7 に周波数 4 5 0 k H z、出力 3 k W の電流を流し、誘導加熱によってシリコン基体 7 0 1 b を選択的に加熱した。すると、イオン注入層 7 0 2 の内部では加熱によって微小気泡が凝集し、また、シリコン基体 7 0 1 b とシリコン層 7 0 5、7 0 3 及び 7 0 1 a との温度差は、1 0 秒で 5 0 0 °C に達した。その結果、イオン注入層 7 0 2 を境に熱膨張差で生じたずれ応力によってイオン注入層 7 0 2 に亀裂が生じ、図 7 (e) に示すようにシリコン層 7 0 5、7 0 3 及び 7 0 1 a がシリコン基体 7 0 1 b から分離された。

【0 0 7 6】

分離されたシリコン層 7 0 5、7 0 3 及び 7 0 1 a からイオン注入層の残滓 7 0 2 a をエッチングにより除去し、図 7 (f) に示す半導体膜、つまり p^+ 型シリコン層 7 0 1 a、 p^- 型シリコン層 7 0 3 及び n^+ 型シリコン層 7 0 5 から成る積層体を得た。一方、シリコン基体 7 0 1 b 上に残ったイオン注入層の残滓 7 0 2 b も同様にエッチングによって除去することにより、図 7 (f) のような表面が平滑なシリコン基体 7 0 1 b が得られた。このシリコン基体 7 0 1 b は再び図 7 (a) ~ (g) のプロセスを経て太陽電池を製造するのに用いることができた。

【0 0 7 7】

上記のようにして得られた積層体の p^+ 型シリコン層 7 0 1 a 側に図 7 (g) のように導電性接着剤 7 0 6 を塗布し、ステンレス製の支持基板 7 0 8 に接着した。そして、 n^+ 型シリコン層 7 0 5 上に、集電電極 7 1 1 を形成した後、反射防止層 7 1 0 を形成することによって、図 7 (g) に示す薄膜太陽電池を製造した。この太陽電池においては、 p^+ 型シリコン層 7 0 1 a によって B S F (b a c k s u r f a c e f i e l d) 効果が得られた。

【0 0 7 8】

本発明は、以上説明した実施形態の他にも種々の変形が可能である。本発明は特許請求の範囲を逸脱しない限りにおいてこのような変形例を全て包含するものである。

【0 0 7 9】

【発明の効果】

以上説明したように、本発明によれば誘導加熱を利用して選択的な加熱を行うので、簡単な工程、低コストでかつスループットの大きい方法で半導体膜を製造することができる。

【図面の簡単な説明】

【図 1】

本発明に係わる半導体膜の製造方法の第 1 実施形態を示す概略断面図である。

【図 2】

本発明に係わる半導体膜の製造方法の第 2 実施形態を示す概略断面図である。

【図 3】

本発明に係わる半導体膜の製造方法の第 3 実施形態を示す概略断面図である。

【図 4】

本発明に係わる半導体膜の製造方法の第 4 実施形態を示す概略断面図である。

【図 5】

本発明を用いて太陽電池を製造する方法を示す概略断面図である。

【図 6】

本発明を用いて S O I 基板を製造する方法を示す概略断面図である。

【図 7】

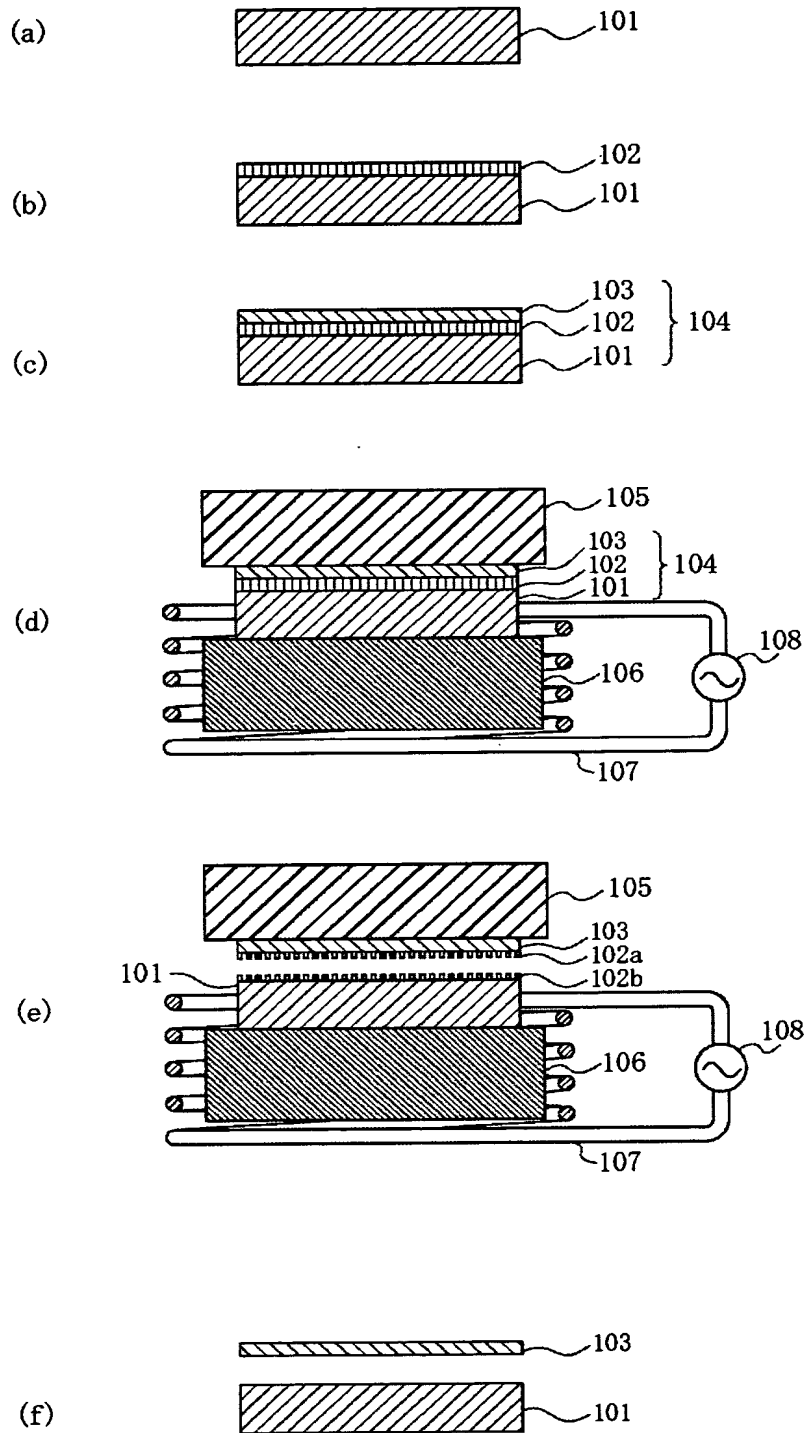
本発明を用いて太陽電池を製造する別の方法を示す概略断面図である。

【符号の説明】

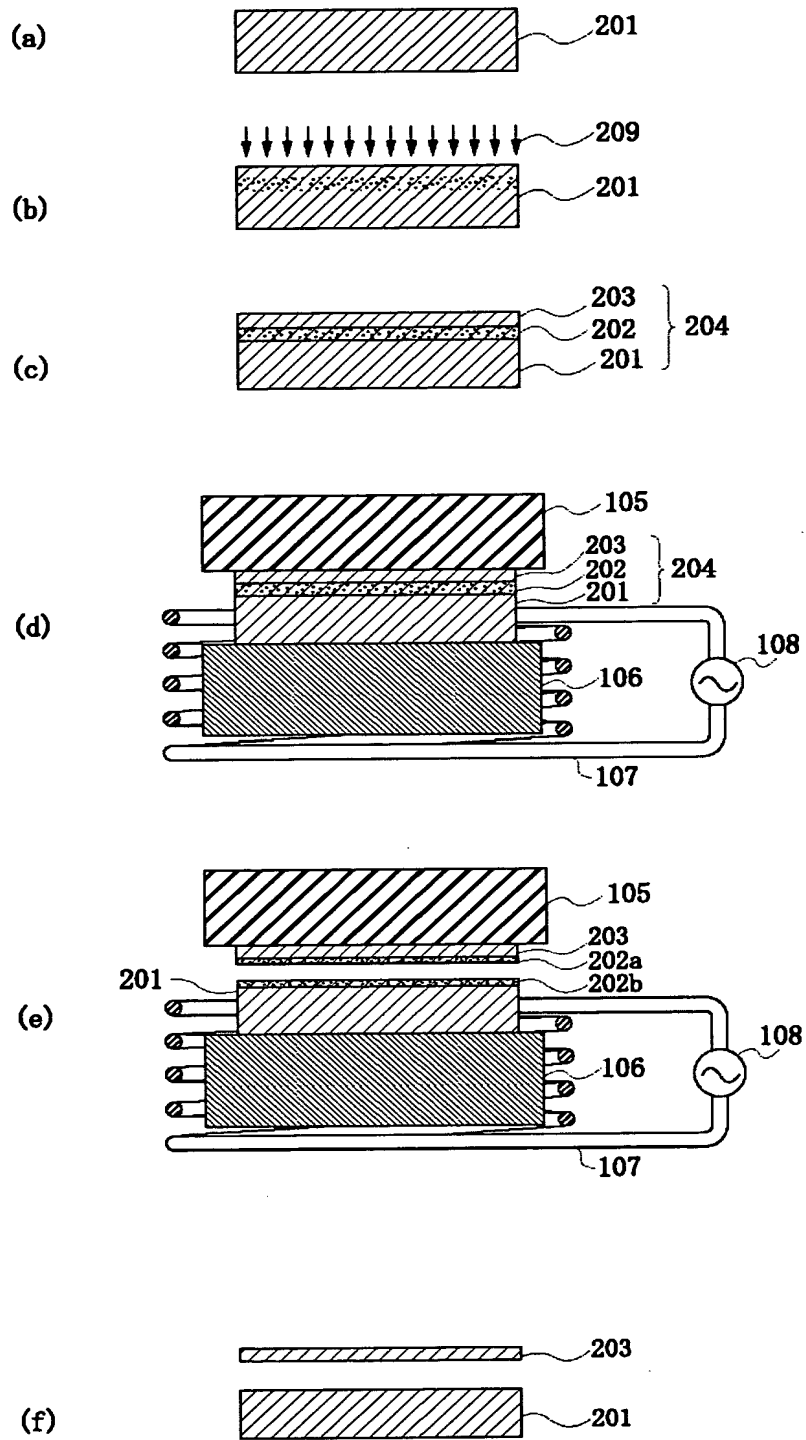
- 1 0 1 非多孔質単結晶シリコン基体
- 1 0 2 多孔質シリコン層
- 1 0 2 a、1 0 2 b 多孔質シリコン層の残滓
- 1 0 3 非多孔質単結晶シリコン層
- 1 0 4 第 1 の部材
- 1 0 5 吸着台
- 1 0 6 誘導加熱台
- 1 0 7 加熱コイル
- 1 0 8 交流電源

【書類名】 図面

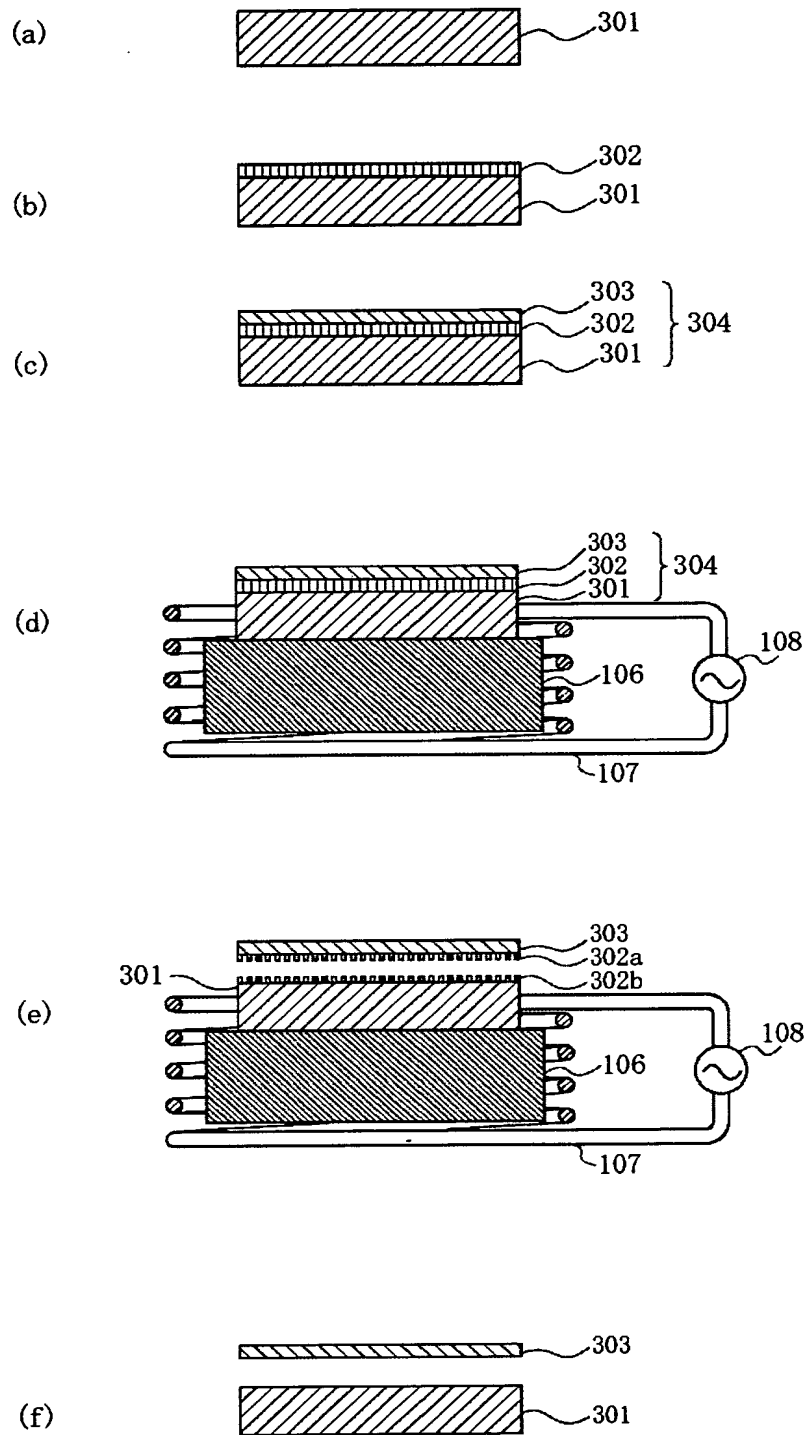
【図 1】



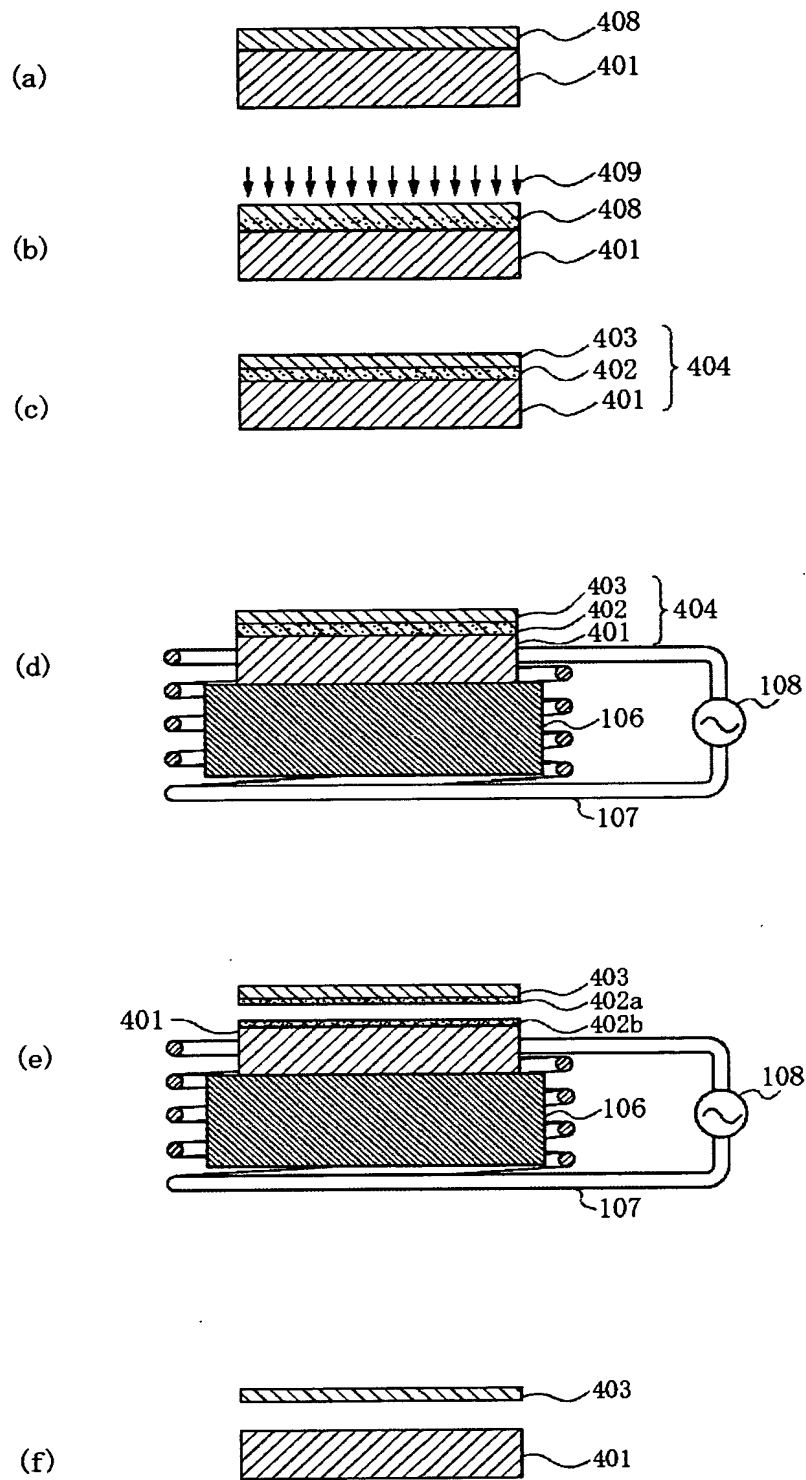
【図 2】



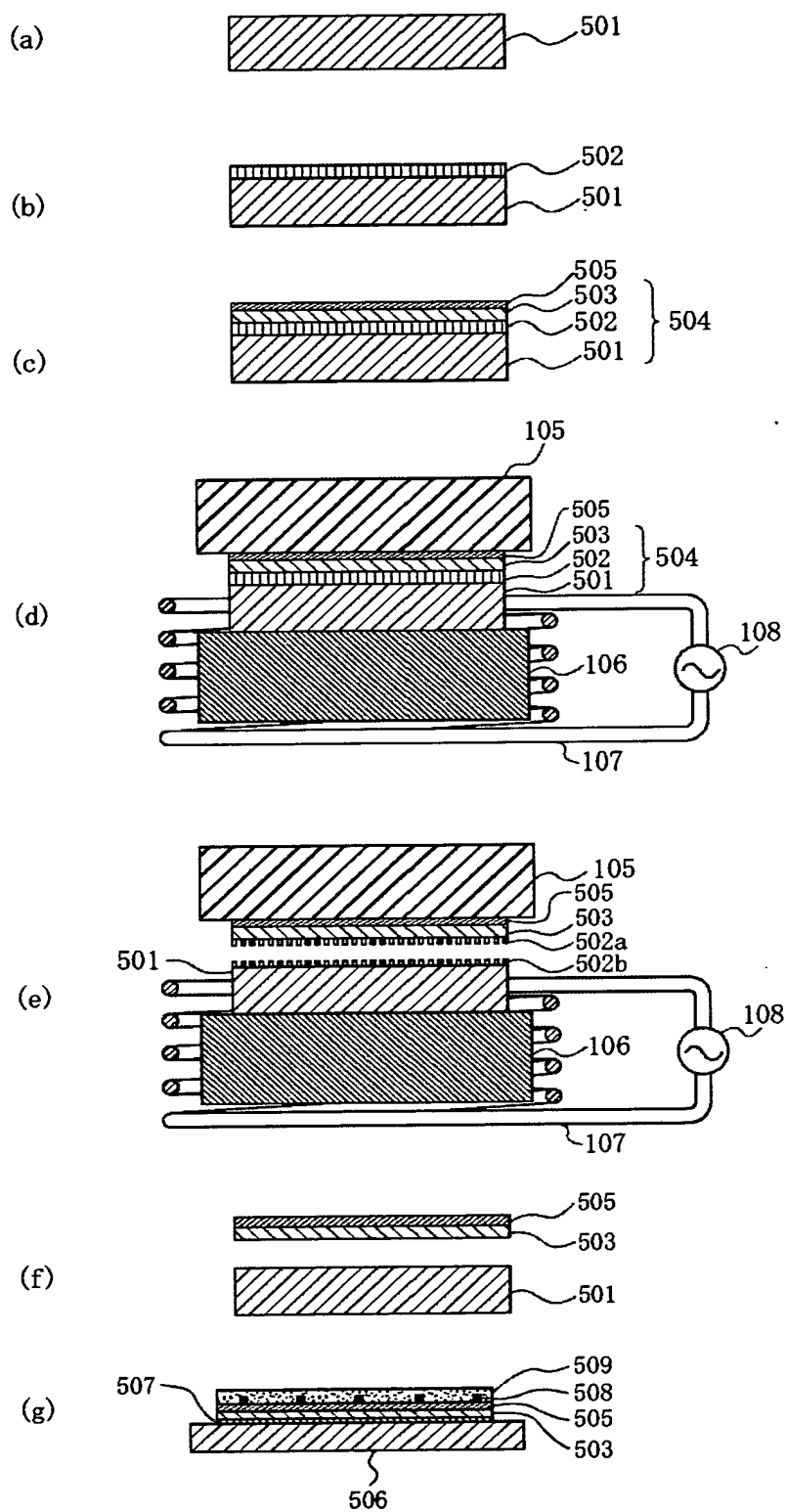
【図 3】



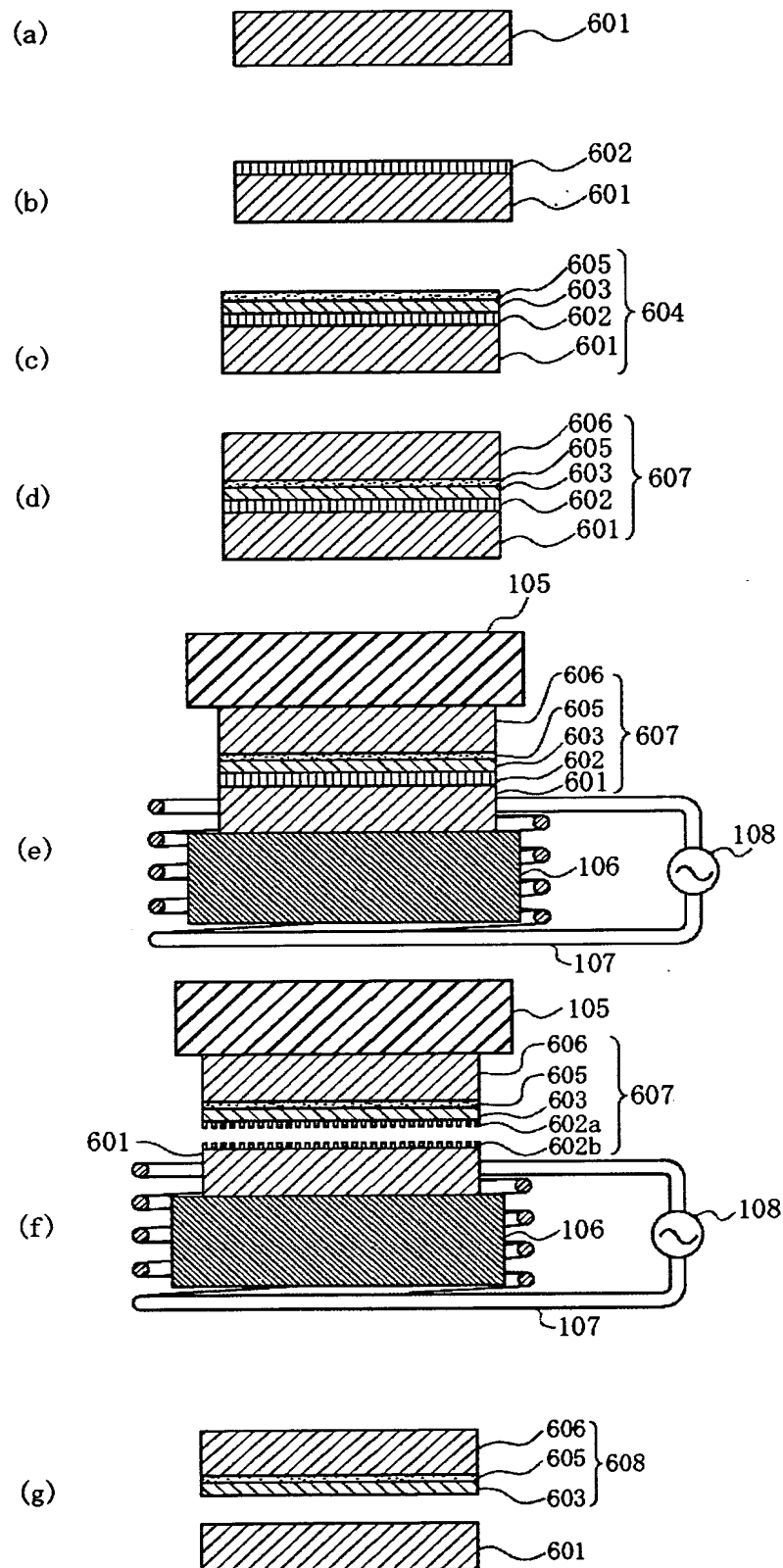
【図 4】



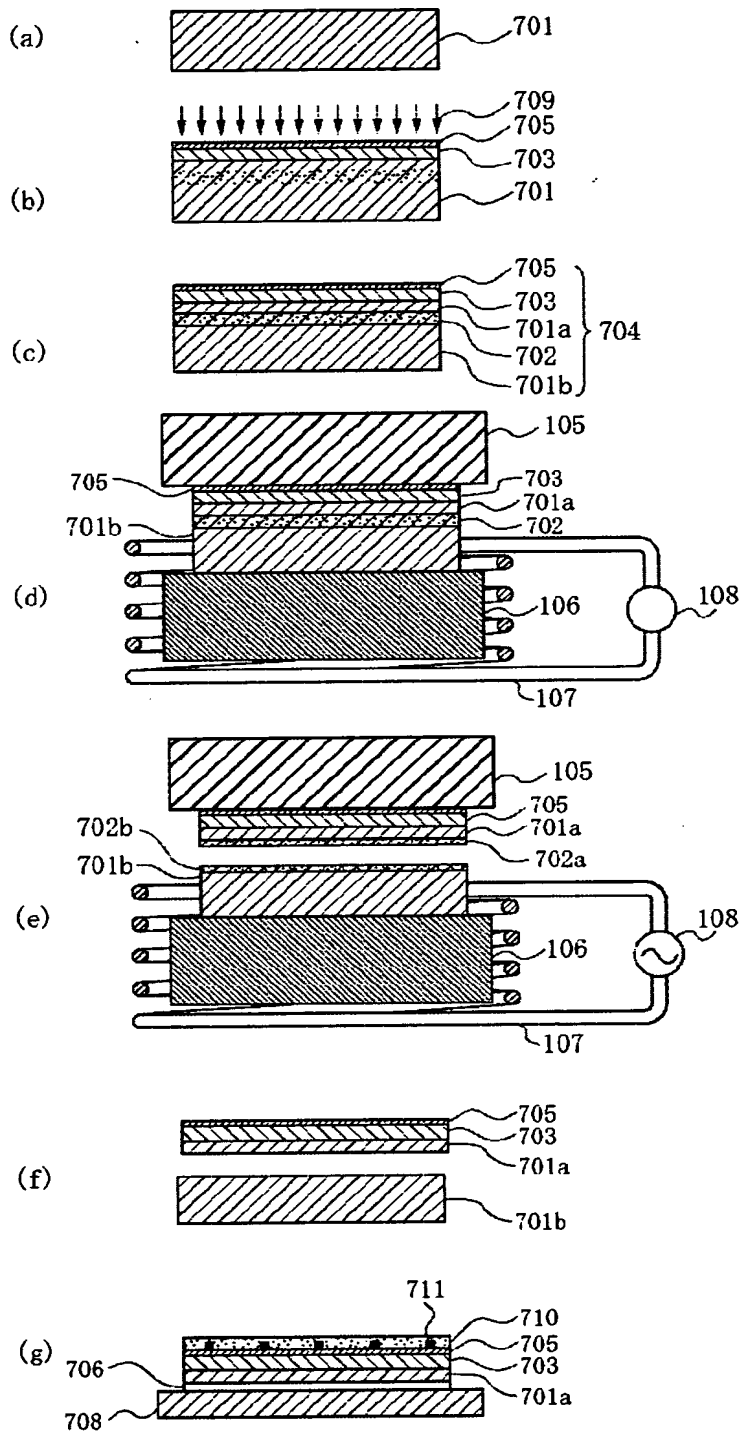
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 分離層上に設けられた薄膜半導体層の分離を簡略化された工程により行う。

【解決手段】 半導体基体、半導体層及びこれらの間に設けられた分離層から成る第 1 の部材を用意し、半導体基体の比抵抗値よりも高い比抵抗値を有する第 2 の部材を第 1 の部材の半導体層側に貼り合わせる、又は吸着させた後、半導体基体を誘導加熱により加熱して、分離層において半導体層を半導体基体から分離する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2002-029299
受付番号	50200160385
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 2月12日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000001007
【住所又は居所】	東京都大田区下丸子3丁目30番2号
【氏名又は名称】	キャノン株式会社

【代理人】

申請人

【識別番号】	100090538
【住所又は居所】	東京都大田区下丸子3丁目30番2号 キャノン株式会社内
【氏名又は名称】	西山 恵三

【選任した代理人】

【識別番号】	100096965
【住所又は居所】	東京都大田区下丸子3丁目30番2号 キャノン株式会社内
【氏名又は名称】	内尾 裕一

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社